

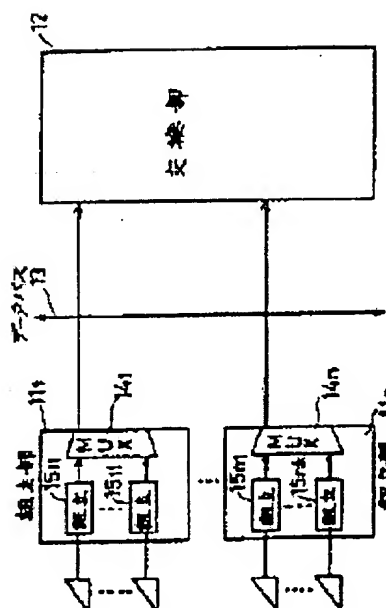
DATA MULTIPLEX SYSTEM UTILIZING TIME DIVISION MULTIPLEX BUS

Patent number: JP4196635
Publication date: 1992-07-16
Inventor: EGUCHI OSAHIDE
Applicant: FUJITSU LTD
Classification:
 - international: H04J3/00; H04J3/04; H04L12/48
 - european:
Application number: JP19900321624 19901126
Priority number(s): JP19900321624 19901126

Report a data error here

Abstract of JP4196635

PURPOSE: To reduce the scale of the hardware at an exchange section by using plural composition sections to apply time division multiplex to asynchronous data of plural channels and transferring the result to a data bus at a band assigned in advance to itself. **CONSTITUTION:** A composition section 11n uses composition circuits 15n1-15nk to compose k-channels of data as prescribed asynchronous data separately and applies time division multiplex to them at a multiplex section 14n. Then composition sections 111-11n transfer data subject to time division multiplex to a data bus 13 at a band assigned to the data bus 13 itself. Thus, number of synchronizing circuits and memories by accommodated channels are not required for an exchange section 12 and number of the buffer memories and the synchronizing circuits the same as the number (n) of the composition sections 111-11n is provided and data are extracted and stored for each allocated band and when one data is stored in each buffer memory, exchange is attained. Thus, the hardware scale of the exchange section is reduced.



Data supplied from the esp@cenet database - Worldwide

⑫ 公開特許公報(A) 平4-196635

⑮ Int. Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成4年(1992)7月16日

H 04 J 3/04

Z 7117-5K

3/00

A 7117-5K

H-04 L 12/48

7830-5K H 04 L 11/20

Z

審査請求 未請求 請求項の数 1 (全6頁)

⑭ 発明の名称 時分割多重バスを利用したデータ多重方式

⑰ 特 願 平2-321624

⑱ 出 願 平2(1990)11月26日

⑲ 発 明 者 江 口 修 英 福岡県福岡市博多区博多駅前2丁目3番7号 富士通九州
デジタル・テクノロジー株式会社内

⑳ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

㉑ 代 理 人 弁理士 伊東 忠彦 外2名

明 細 書

3. 発明の詳細な説明

1. 発明の名称

時分割多重バスを利用したデータ多重方式

2. 特許請求の範囲

複数の非同期データ組立部(11₁～11_n)と交換部(12)との間で、同期転送モードのデータベース(13)を利用して時分割多重された非同期データの転送を行なう時分割多重バスを利用したデータ多重方式において、

前記複数の組立部(11₁～11_n)は、夫々組立てた複数チャネルの非同期データを時分割多重する多重化部(14₁～14_n)を有し、該多重化部(14₁～14_n)よりの多重データを自己に予め割り当てられた帯域で前記データベース(13)へ転送することを特徴とする時分割多重バスを利用したデータ多重方式。

〔概要〕

同期転送モードのデータベースに非同期のデータも多重して転送する時分割多重バスを利用したデータ多重方式に関し、

交換部のハードウェア規模を小さくすることを目的とし、

複数の非同期データ組立部と交換部との間で、同期転送モードのデータベースを利用して時分割多重された非同期データの転送を行なう時分割多重バスを利用したデータ多重方式において、前記複数の組立部は、夫々組立てた複数チャネルの非同期データを時分割多重する多重化部を有し、該多重化部よりの多重データを自己に予め割り当てられた帯域で前記データベースへ転送するよう構成する。

〔産業上の利用分野〕

本発明は時分割多重バスを利用したデータ多重

方式に係り、特に同期転送モードのデータベースに非同期のデータも多重して伝送するデータ多重方式に関する。

近年、情報通信に対するユーザの要望の高度化に伴い、大量のデータを高速に伝送でき、しかも多種類のメディアを統合して扱うことができる高速マルチメディア通信網が要求されている。このため、情報発生タイミングが端末間で非同期な、非同期転送モード (ATM) のような技術が必要であり、既存の回線を用いて ATM のような通信を行なうには、装置内の同期転送モード (STM) のデータベースに非同期のデータを時分割多重させる必要がある。

〔従来の技術〕

第 5 図は従来の時分割多重バスを利用したデータ多重方式の一例の概略構成図を示す。同図中、 $1_1 \sim 1_n$ は夫々セル組立部で、チャンネルに対応して設けられている。セル組立部 $1_1 \sim 1_n$ は音声、データ、動画像などの、ベアラ速度やバス

される。

第 5 図のセル交換部 4 はデータベース 3 からの上記時分割多重データ (ヘッダ含む) をチャンネル毎に設けたセル同期部 $5_1 \sim 5_n$ で別々に受信し、ここでサイクリック・リダンダンシイ・チェック (CRC) コードなどを用いた誤りチェックを行ない、誤りなしのときは入力データが同期していると判断して入力データを次段の $FIFO 6_1 \sim 6_n$ へ供給する。

$FIFO 6_1 \sim 6_n$ で夫々格納されたデータは、セル交換部 4 内でそのヘッダを通路路内の各単位スイッチハードウェアが自律的に読みとって得た情報に基づきルーティングされる。

〔発明が解決しようとする課題〕

しかるに、上記の従来方式ではセル交換部 4 内のセル同期部 $5_1 \sim 5_n$ や $FIFO 6_1 \sim 6_n$ が、セル組立部 $1_1 \sim 1_n$ の入力データチャンネル数に 1 対 1 に対応して設けられているため、収容チャンネル数が多くなるほどセル交換部 4 のハードウ

エが異なる種々のメディア情報 (以下、これらを総称してデータという) が入力され、これらを固定長の塊にセル化 (パケット化) し、この情報に宛先等のルーティング情報であるヘッダを付加して「セル」と称する単位の組立てを行なってから、 $FIFO 2_1 \sim 2_n$ 夫々に格納する。

$FIFO 2_1 \sim 2_n$ に夫々収める一定長のデータが格納されると、セル組立部 $1_1 \sim 1_n$ は格納データ (セル) を所定のタイミングでデータベース 3 へ送出する。ここで、データベース 3 で伝送されるデータ 1 フレーム (Frame) は、タイムスロット (TS) 0 から 511 までの 512 タイムスロットあるものとする。と、 $FIFO 2_1$ からの第 1 チャンネル $CH \# 1$ のデータは第 6 図に 1_1 で示す所定番目のタイムスロットのタイミングで送出される。同様にして、他の $FIFO 2_1, 2_2$ 及び 2_n からの各チャンネル $CH \# 2 \sim \# 4$ のデータは同図に $7_1 \sim 7_n$ で示す如く、各々予め割り当てられた別々のタイムスロットのタイミングで送出される。

以下、フレーム同期単位で上記の動作が繰り返

ス。規模が増大し、コストが高くなるという問題がある。

本発明は上記の点に鑑みなされたもので、交換部のハードウェア規模を小さくし得る時分割多重バスを利用したデータ多重方式を提供することを目的とする。

〔課題を解決するための手段〕

第 1 図は本発明の原理構成図を示す。本発明は、組立部 $1_1 \sim 1_n$ と交換部 12 との間で、同期転送モードのデータベース 13 を利用して時分割多重された非同期データの転送を行なうデータ多重方式において、組立部 $1_1 \sim 1_n$ の夫々は、組立てた複数チャンネルの非同期データを時分割多重する多重化部 $14_1 \sim 14_n$ を有し、多重化部 $14_1 \sim 14_n$ よりの多重データを自己に予め割り当てられた帯域でデータベース 13 へ転送する。

〔作用〕

第 1 図において、組立部 1_1 は 2 チャンネルの

データを組立回路15₁₁～15₁₂で別々に所定の非同期データとして組立てた後、それらを多重化部(MUX)14₁で時分割多重する。同様に、組立部11₁はkチャンネルのデータを組立回路

15₁₁～15₁₂で別々に所定の非同期データとして組立てた後、それらを多重化部(MUX)

14₁で時分割多重する。

組立部11₁～11₁₂は次に多重化部14₁～14₁₂で時分割多重したデータを、データバス13の自己に割り当てられた帯域でデータバス13へ転送する。第2図はこのときのデータバス13の帯域割り当てを説明する図で、組立部11₁からの多重データは1フレーム中のx+1番目とx+2番目のタイムスロットTS₁₁、TS₁₂で転送され、組立部11₁からの多重データは1フレーム中のy+1番目と、y+2番目及びy+3番目のタイムスロットTS₁₁、TS₁₂、TS₁₃で転送されることを示している。

従って、本発明ではデータバス13を介して上

バッファメモリとしてのFIFO25₁～25₁₂に格納された後、多重化部(MUX)26₁へ転送される。

同様に、第5チャンネル～第8チャンネルの端末で非同期で発生されたデータは、端末INF21₁又は21₂、データバス22を介してセル組立/分解部23₁(前記組立部11₁に相当)内に入力され、チャンネル別にセル組立部24₁～24₁₂でATMセルに組立てられた後バッファメモリとしてのFIFO25₁～25₁₂を介してMUX26₁に転送される。なお、セル組立/分解部は全部でn個あるが、第3図には図示の便宜上、2個のみ図示してある。

データバス27は時分割多重データを転送するバスで、第4図に示すようにセル組立/分解部23₁に対しては全部で512タイムスロット(TS)からなる1フレーム中、x+1番目とx+2番目のタイムスロットTS₁₁、TS₁₂に帯域を予め割り当て、セル組立/分解部23₁に対しては1フレーム中、y+1番目とy+2番目のタイ

記の時分割データが入力される交換部12は、收容チャンネル数分の同期回路及びメモリは不要となり、組立部11₁～11₁₂の数nと同じ数のバッファメモリ及び同期回路を有し、上記の割り当てられた帯域毎にデータを抽出及び格納し、各バッファメモリに1データ分が蓄積された時点で交換を行なうことができる。

〔実施例〕

第3図は本発明の一実施例の構成図を示す。本実施例は前記した組立部11₁～11₁₂のチャンネル数 l 、 k が夫々“4”で、ATMセルの多重の例である。第3図において、第1チャンネル～第4チャンネルの端末で非同期で発生されたデータは、端末インタフェース(INF)21₁、21₂を介してデータバス22へ送出され、その後セル組立/分解部23₁(前記組立部11₁に相当)内のセル組立部24₁～24₁₂で各チャンネル毎に数バイトのATMセルに組立てられる。セル組立部24₁～24₁₂からのATMは夫々対応するパッ

ムスロットTS₁₁、TS₁₂に帯域を予め割り当てている。

これにより、第4図(A)～(C)に示すように第1チャンネル、第5チャンネルの各データが各フレーム中所定の2タイムスロットで順次転送された後、同図(C)～(E)に示すように第2チャンネル、第7チャンネルの各データが各フレーム中、所定の2タイムスロットで順次転送される。続いて第4図(F)～(H)に示すように第3チャンネル、第5チャンネルの各データが各フレーム中、所定の2タイムスロットで順次転送された後、同図(H)、(I)に示す如く第4チャンネル、第6チャンネルの各データが順次転送される。以下、上記と同様の動作が繰り返される。

このようにしてデータバス27で時分割多重されたセルは、第3図のセル交換部28(第1図の交換部12に相当)内のセル同期部29₁～29₁₂に入力され、ここでデータバス27の帯域に基づいて、多重化部26₁、26₂からの各セルのうち、多重化部26₁からのセルはセル同期

31に☐入力される。スイッチ部31でスイッチングされたデータはFIFO36を通してセル組立／分解部231、232内の分離化部(DMU X)(図示せず)に☐入力され、指定チャネルを収容するDMUXでヘッダに基づいて抽出される。

〔發明の效果〕

上述の如く、本発明によれば、交換部における同期回路やバッファメモリの数を、収容チャネルの数でなく、複数チャネルのデータを多重化する組立部の数に低減することができるため、交換部のハードウェア規模を削減することができ、また装置をコストダウンできる等の特長を有するものである。

第 1 図は本発明の原理構成図、

第 3 図は本発明の一実施例の構成図、

The diagram illustrates a switching system architecture. On the left, there are multiple input groups, each labeled '組立部' (Assembly Unit). The top group is labeled '組立部 111' and the bottom group is labeled '組立部 11n'. Each group contains two input lines (represented by triangles) and two internal components labeled '組立' (Assembly) and 'MUX' (Multiplexer). The top group's MUX is labeled '141' and the bottom group's MUX is labeled '14n'. A central vertical line represents the 'デジタルバス' (Digital Bus), labeled '13'. On the right, a large rectangular block represents the '交換部' (Switching Unit), labeled '12'. Arrows indicate data flow from the input groups through the MUXes to the digital bus, and from the digital bus to the switching unit.

本発明の原理構成図

第 1 区

11, ~ 11, は組立部、

1 3 はデータバス、

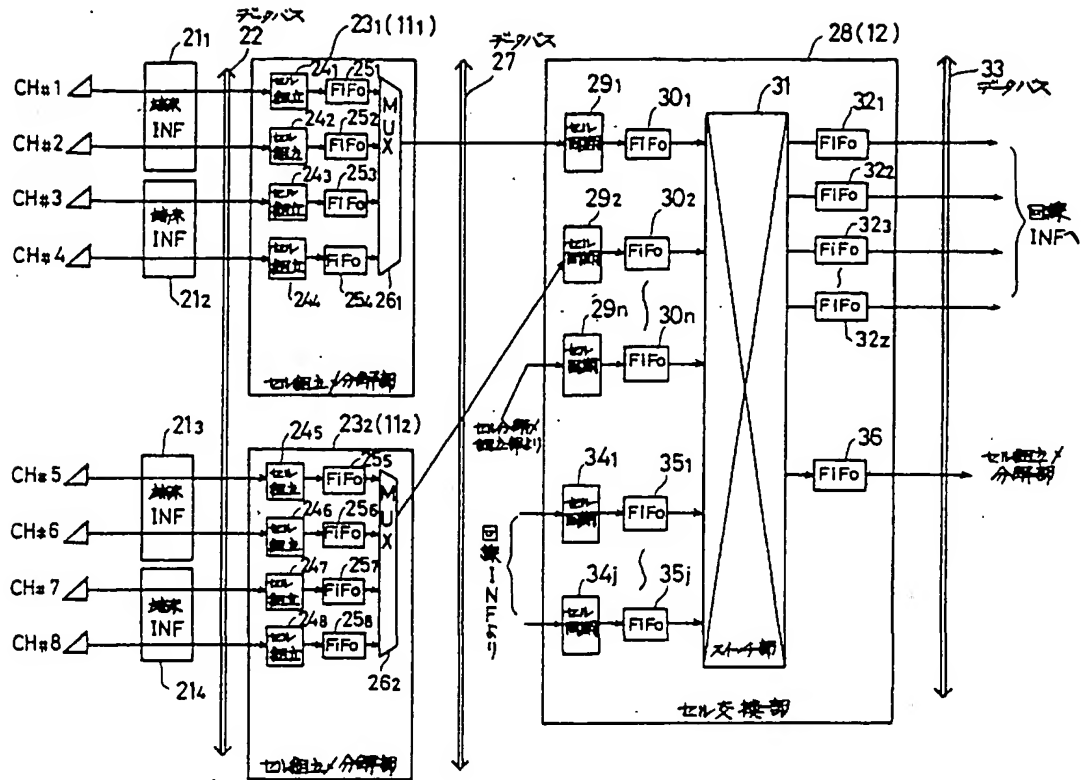
を示す。

代理人 井理士 伊東 忠彦

同 井理士 片 山 修 平

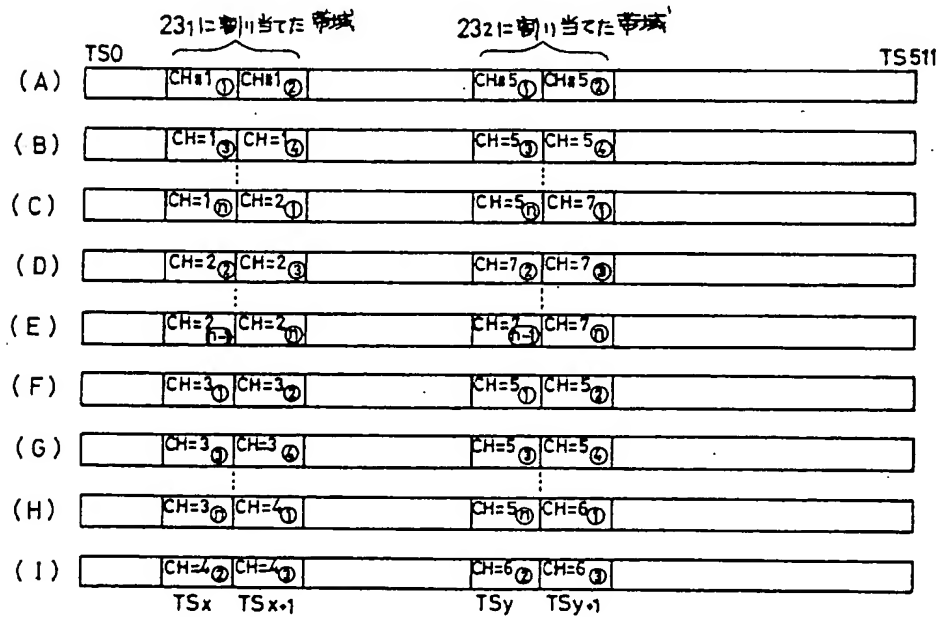
本発明のデータベースの領域割り当て説明図

第 2 区



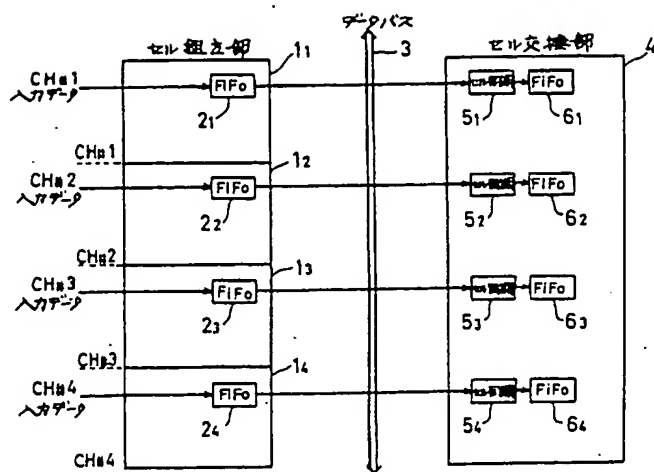
本発明の一実施例の構成図

第 3 図



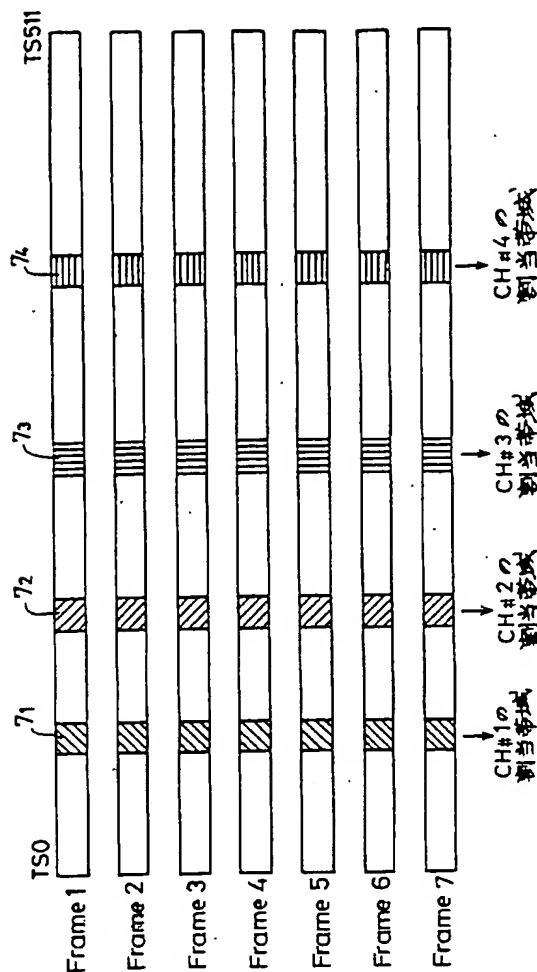
第3図のデータバスの帯域割り当て説明図

第 4 図



従来の一例の概略構成図

第 5 図



従来の方式のデータバス帯域の割り当て説明図

第 6 図